

Descrição técnica do cartão Lógica de Disparo EEBP10045/3

Características Gerais.....	3
Características Específicas.....	3
1 Descrição funcional	4
O circuito do cartão é constituído de blocos funcionais distintos, a citar:.....	4
1.1 Processador e periféricos	4
A lógica digital foi implementada sobre o microcontrolador 80C196, da Intel.	4
O CI4 é uma EPLD (Erasable Programmable Logic Device) programada para realizar uma decodificação inicial da área de endereçamento. Mais especificamente este componente gera “chip select” para:	4
1.2 Watch dog e RESET.....	5
1.3 Circuito de Sincronismo com a Rede (PLL).....	6
Malha de sincronismo	6
2 Configuração do cartão	7
3 Entradas e saídas	7
4 Leds	7
5 Pontos de medição internos	7
6 Característica do PLL.....	8
7 Região de travamento garantido do PLL	12
8 Solução de problemas.....	13

Inserido ao protocolo **17.269.804-2** por: **Fabio Vinicius de Oliveira** em: 21/01/2021 07:57.

Assinado por: **Alexsander Lando** em 19/02/2021 11:51, **Luiz Hendrigo Chiaretto** em 19/02/2021 11:55. Inserido ao protocolo **17.343.658-0** por: **Vinicius Gustavo Hernandes** em: 10/02/2021 16:49. Documento assinado nos termos do art. 18 do Decreto Estadual 5389/2016. A autenticidade deste documento pode ser validada no endereço: <https://www.eprotocolo.pr.gov.br/spiweb/validarAssinatura> com o código: **b45407d2616c6e0aa4b45e310f2c4535**.

Para compreender os tópicos seguintes, favor referir aos anexos abaixo listados:

- Anexo I: Esquemático do circuito eletrônico - EEBP10E45.pdf;
- Anexo II: Desenho da placa de circuito impresso - LayoutEEBP10045.pdf;
- Anexo III: Roteiro de testes e relatório com as respostas esperadas - EEAP10T45.pdf;
- Anexo IV: Lista de material do cartão simplificada - EEAP10L45.pdf;

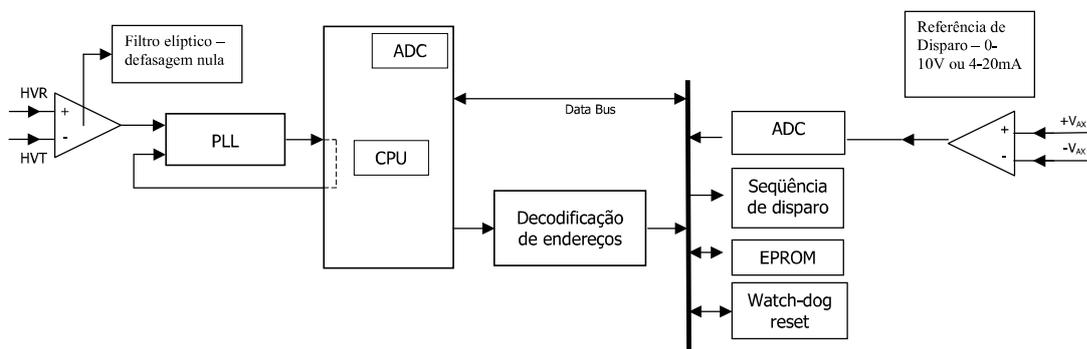
Características Gerais

Este cartão é responsável por todo o processo de geração dos sinais dos pulsos de disparo para o gatilhamento de tiristores de uma ponte retificadora trifásica. O instante de gatilhamento de cada tiristor é função da tensão DC média que se quer aplicar no campo do gerador e este nível de tensão é calculado pelo CLP e enviado à Lógica de disparo em um sinal analógico de 0-10V ou de 4-20mA.

Características Específicas

- Led's onboard para reconhecimento de estado de funcionamento da alimentação e watchdog interno.
- Circuito de WatchDog para segurança de operação;
- Circuito de detecção de perda de link de referencia de disparo;
- Referência de disparo com resolução de 12 bits - alta sensibilidade para controle da excitação;
- Dimensões do cartão: 260 mm x 180 mm x 20mm;
- Proteção contra inversão das fontes de alimentação;
- Proteção das alimentações por fusíveis;

1 Descrição funcional



O circuito do cartão é constituído de blocos funcionais distintos, a citar:

- Malha de sincronismo - constituído pelas entradas de tensão de campo, pelo circuito PLL, por uma parte interna no processador central 80C196 e por circuitos de filtros e ajustes de faixa. A função deste circuito é detectar o cruzamento da tensão R-T com o zero para sincronizar o disparo dos tiristores, para então se obter a tensão DC de saída desejada;
- Circuito de decodificação - constituído por EPLD que realiza o controle do mapeamento de endereços;
- ADC externo - com resolução de 12 bits, permite a aquisição da referência de disparo, previamente determinada pelo CLP. Este sinal é condicionado de forma a eliminar ruídos e possui precisão da ordem de 1%;
- Memórias - Nesta categoria estão as memórias EPROM. (fl.1 do diagrama esquemático);
- Circuito de Watch-Dog e RESET - provê uma proteção do circuito a travamentos internos do processador ou falhas de conexões externas. (fl.4 do diagrama esquemático);

1.1 Processador e periféricos

A lógica digital foi implementada sobre o microcontrolador 80C196, da Intel.

O CI4 é uma EPLD (Erasable Programmable Logic Device) programada para realizar uma decodificação inicial da área de endereçamento. Mais especificamente este componente gera “chip select” para:

- Memórias: EPROM (\overline{CSEPR});
- Máscara de tiristores : WMASK0;
- Outros periféricos \overline{PSEL}

O CI-30 executa uma decodificação de 3 bits para 8 bits utilizando-se do sinal $\overline{\text{PSEL}}$, gerado pela EPLD, para selecionar outros periféricos. O mapeamento de memória (e periféricos) pode ser visto na tabela abaixo:

SINAL	ENDEREÇO	PERIFÉRICO
$\overline{\text{CSEPR}}$	2000 H DFFF H	Memória EPROM(CI-11 e 67)
$\overline{\text{PSEL}}$	EC00 H EC0F H	Utilizados pelos CI 30 para seleção de periféricos
$\overline{\text{WMASK0}}$	E812 H	Máscara de disparo de tiristores
$\overline{\text{RWD}}$	E813 H	Gatilho monoestável do watch dog

Tabela - Tabela de Endereçamento gerado pela EPLD (CI4)

Os sinais abaixo são gerados pelo CI-30, conforme a tabela abaixo:

SINAL	ENDEREÇO	CI	FUNÇÃO
$\overline{\text{RFAIL1}}$	EC02 H	30	Lê <i>port</i> 1 de entradas de falhas de alta prioridade (CI-23)
$\overline{\text{RFAIL2}}$	EC03 H	30	Resets <i>Flip-Flop</i> de falhas graves (CI-28)
$\overline{\text{RAL}}$	EC06 H	30	Lê byte baixo do sensor de posição (CI-43)
$\overline{\text{RAH}}$	EC07 H	30	Lê byte alto do sensor de posição (CI-42)
$\overline{\text{RPF2}}$	EC00 H	30	Seta <i>Flip-Flop</i> de falhas graves (CI-28)
$\overline{\text{RCLPF}}$	EC01 H	30	Libera <i>Flip-Flop</i> dos periféricos (CI-28)
$\overline{\text{ACON}}$	EC04 H	30	Inicia conversão do A /D externo

Tabela - Endereçamento de I/O Mapeado no *Address Bus*

O relógio do circuito é gerado através de um cristal oscilador (OSC1) de 12 MHz. Os barramentos de dados e endereços são separados por circuitos TTL pois o processador multiplexa alguns deles. Os CI envolvidos são CI2(74LS245), CI3(74LS373), CI5(74LS244). Caso haja falha neste bloco, o circuito de refresh do circuito de WatchDog deixa de atuar, em consequência, a CPU é resetada. Este tipo de falha pode ser detectado verificando-se o estado do LED D2, ele deverá estar apagado em caso de falha.

LED D2	
aceso	CPU ativa
apagado	CPU resetado

1.2 Watch dog e RESET

O circuito encontra-se na folha 4 do diagrama esquemático

Este circuito é necessário para informar quando houver algum problema de mal funcionamento do processador central, de forma que seja possível tomar medidas de proteção, tais como desabilitar as pontes de tiristores, acionar CPU redundante, etc.

É uma proteção de *hardware* que deve ser atualizada periodicamente pelo *software*, para que seja dado um permissivo de funcionamento do setor digital, através dos sinais:

$\overline{\text{CPURES}}$, $\overline{\text{HPEN}}$, $\overline{\text{PWRRES}}$ e $\overline{\text{RESET}}$.

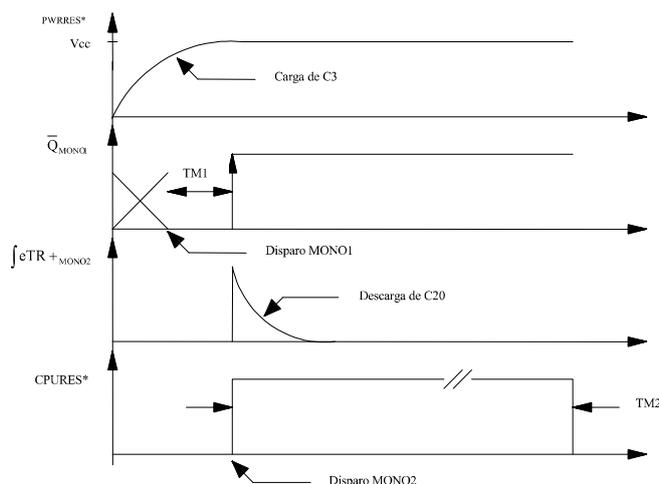
Esta lógica consiste em um mono estável (CD 4538) que deve ser *regatilhado periodicamente* pelo *software*, efetuando-se uma leitura no endereço $\overline{\text{RWD}}$, no máximo a cada 484 ms.

Caso isso não aconteça serão gerados os sinais $\overline{\text{CPURES}}$, que realiza o *reset* a CPU (CI-1), e $\overline{\text{HPEN}}$, que suprimirá os pulsos de gatilho dos tiristores.

O sinal de $\overline{\text{RWD}}$ está disponível em PT1 e $\overline{\text{CPURES}}$ em PT2.

O Led D2 quando aceso indicará que o *watch-dog* está em funcionamento e quando apagado indicará que a CPU está resetada.

Na partida (*power-up reset*) o comportamento deste circuito é descrito pelo diagrama de tempo abaixo:



No instante "0" a fonte DC é ligada (ou a chave SW1 é pressionada) o capacitor C3 começa a se carregar. E quando atingir um nível suficiente, disparará o MONO 1, cuja saída \bar{Q} permanecerá em nível 0 durante um tempo $TM1 = 260$ ms.

Após esse tempo, será gerado um pulso através do integrador C5 e R11, pulso este que gatilhará o MONO2. A partir deste instante o *software* é inicializado e periodicamente deve retriggerar MONO2 através de \bar{RWD} . A chave SW1 realiza a função de resetar a CPU.

Pontos de teste	Sinal	Descrição
PT 1	Digital CMOS (0 - 5V) H - standby L - refresh	\bar{RWD} , este sinal dever ser pulsado
PT 2	Digital CMOS (0 - 5V) H - CPU ativa L - CPU resetada	\bar{CPURES} , este sinal deve ser constante

1.3 Circuito de Sincronismo com a Rede (PLL)

Malha de sincronismo

O circuito de malha de sincronismo encontra-se na folha 6 do diagrama esquemático. Este circuito realiza a medição do sincronismo da tensão de campo através das fases R e T.

Pino de teste	Descrição
PT 5	Medição diferencial da tensão de armadura
PT 6	Sinal pós primeira filtragem
PT 7	Sinal normalizado
PT 8	Sinal senoidal antes do quadrador

2 Configuração do cartão

Jumper	Configuração	Descrição
JP 1	1-2 (24V em BT3 = dispara) - default 2-3 (0V em BT3 = dispara)	Seleção de modo de operação do GPS
JP 2	Close - GND Open - VCC	(ACH7/P0.7) Uso do sinal como ponto de entrada digital. Reservado para testes
JP6	Open - default	
JP8	Close - default	

3 Entradas e saídas

Borne	Descrição
BT5 - 2	Referencia de disparo em tensão 0-10V (positivo)
BT5 - 1	Referencia de disparo em tensão 0-10V (negativo)
BT5A - 2	Referencia de disparo em corrente 4-20mA (positivo)
BT5A - 1	Referencia de disparo em corrente 4-20mAV (negativo)
BT11 - 2	Saída do watchdog interno (positivo)
BT11 - 3	Saída do watchdog interno (negativo)
BT10 - 1	Detecção de lock do PLL (positivo)
BT10 - 3	Detecção de lock do PLL (negativo)
BT1 - 1	Alimentação +5V
BT1 - 2	DGND - terra digital
BT1 - 3	Alimentação +15V
BT1 - 4	AGND - terra analógico
BT1 - 5	Alimentação -15V
BT1 - 6	Alimentação +24V
BT12 - 1	Detecção de perda de loop de referencia de disparo em
BT12 - 2	Detecção de perda de loop de referencia de disparo em corrente(-
BT3 - 1	Supressão de pulsos (positivo)
BT3 - 2	Supressão de pulsos (negativo)

Tabela 1 - Relação dos bornes de ligação

4 Leds

Led	Descrição do sinal
D2	Reset da CPU - off= falha da CPU
D7	Off = disparo habilitado
D8	Sinal de GPS - se JP1 estiver na posição 1-2 então com o led apagado indica que há diparo dos tiristores.
D9	Atualização de sequencia de tiristor disparado - off = atualizando.
D10	On = fonte de alimentação 5 V ok
D11	On = fonte de alimentação +15 V ok
D12	On = fonte de alimentação -15 V ok

5 Pontos de medição internos

Nome	Medido em relação ao pino	Descrição do sinal
PT15	PT11	Referencia de disparo em tensão 0-10V
PT2	PT13	Sinal de reset da CPU
PT11		Terra analógico (AGND)
PT17 / PT13		Terra digital (DGND)
PT5	PT11	Sinal da referencia de fase RT
PT8	PT11	Sinal de referencia PLL não quadrado
PT9	PT11	Sinal de referencia PLL quadrado
PT10	PT11	Feedback do sinal de saída do PLL

6 Característica do PLL

O circuito PLL encontra-se na folha na parte direita inferior da folha 1 do diagrama esquemático.

O circuito que realiza esta função é o circuito CD4046B.

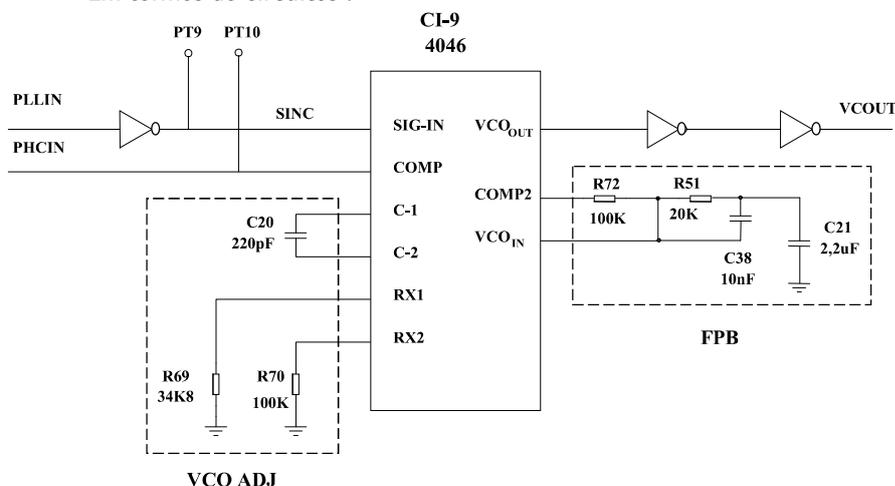
A CPU é sincronizada com a rede, para referência de disparo dos tiristores, por intermédio de um circuito PLL (*Phase-Locked Loop*). Através de uma amostra do sinal da rede (HVTI e HVRI) disponível no conector BT7, o sinal é condicionado gerando o sinal PLLIN. A CPU reconhece a transição por zero deste sinal e se mantém em fase. O sinal PLLIN, complementado ($\overline{\text{PLLIN}} = \text{SINC}$) pode ser verificado no ponto de teste PT8.

A correta operação deste circuito é de vital importância para o bom funcionamento do sistema em aplicações de excitatriz pois dele depende a informação do instante de disparo dos tiristores, se houver uma falha neste circuito os tiristores com certeza dispararão fora de sincronismo podendo causar sérios problemas à parte de potência do sistema.

Devido a sua importância o PLL será analisado com detalhes.

A CPU é sincronizada pelo CI-9 (4046) segundo o diagrama abaixo:

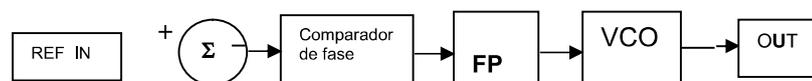
Em termos de circuitos :



O CI-9 fornece em sua saída VCOOUT uma frequência $1440 \times \text{SINC}$ (86,4 kHz @60 Hz), este multiplicador é determinado pelo ajuste de VCO (*Voltage Controlled Oscillator*) C16, R49 e 50. A CPU se encarrega de realimentar o PLL via PHCIN a cada 1440 pulsos de VCOOUT, ou seja, na mesma frequência de SINC. O sinal PHCIN pode ser verificado no ponto de teste PT8.

Este processo é realizado por um *mix* de *hardware* + *software* .

O circuito acima pode se melhor explicada pelo diagrama de blocos abaixo:



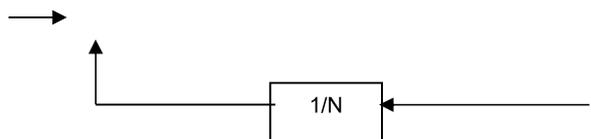


Diagrama - PLL

Explicitando cada bloco em termos de sua função de transferência temos:

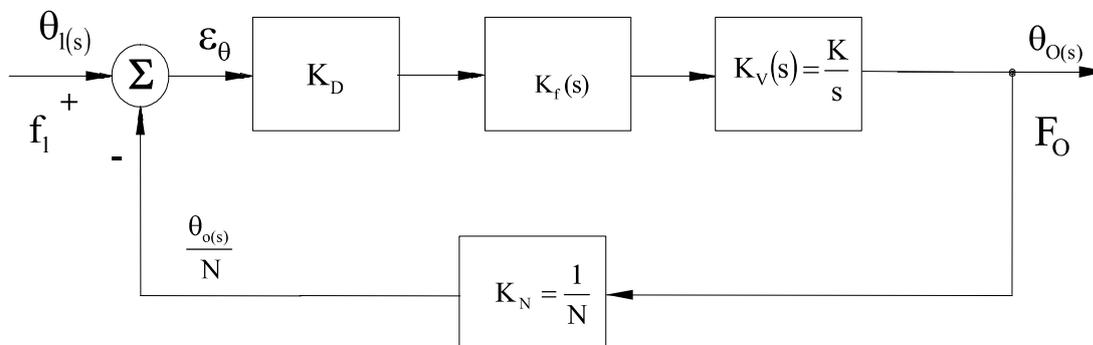


Figura - Função de transferência PLL

$$F(S) = \frac{\theta_o(S)}{\theta_i(S)} = \frac{G(S)}{1 + G(S) \cdot H(S)} \quad \text{onde} \quad G(S) = K_D \cdot K_f \cdot K_v \quad H(S) = K_N$$

O ganho do comparador de Fase II do 4046 (KD) é dado por:

$$KD = \frac{VCC}{2\pi} \left[\frac{V}{\text{rad}} \right] \Rightarrow KD = \frac{5}{2\pi} = 0.796 \frac{V}{\text{rad}}$$

O filtro passa baixas utilizado é do tipo passivo, o qual tem como função filtrar o sinal de saída do comparador de fase e fornecer nível DC para o VCO.

Este filtro influencia a performance do sistemas de várias formas:

- O processo de captura do PLL torna-se lento com o aumento da constante de tempo do filtro.
- A faixa de captura diminui, pois a banda passante é limitada.
- A imunidade a ruídos aumenta, se a frequência de interferência estiver fora da faixa do filtro, por outro lado diminui se a banda passante for aumentada.
- A resposta do *loop* à transientes de frequência (degrau de frequência dentro da faixa de captura) torna-se tão mais subamortecida quanto maior for a constante de tempo do filtro.

O filtro é do tipo atraso

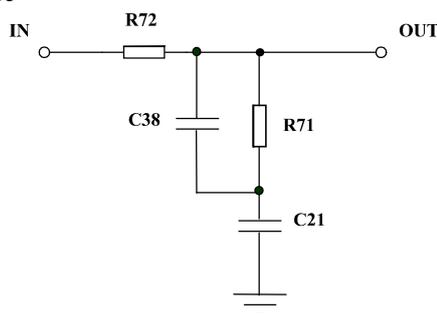


Figura - filtro do VCO

$$\tau_1 = (C38 + C21).R71$$

$$K_f(s) = \frac{\tau_1 \cdot s + 1}{\frac{s^2}{\omega_n^2} + \frac{2 \cdot \zeta}{\omega_n} \cdot s + 1} \quad \text{onde:} \quad \omega_n^2 = \frac{1}{R71 \cdot (C21 + C38)}$$

$$\frac{2 \cdot \zeta}{\omega_n} = \tau_1 + R72 \cdot C21$$

$$\therefore K_f(s) = \frac{0,045 \cdot s + 1}{0,000044s^2 + 0,265 \cdot s + 1}$$

O ganho de VCO (Ko) é determinado experimentalmente, onde :

$$K_0 = \frac{\Delta f_0}{\Delta V_0} = \frac{f_{0\max} - f_{0\min}}{V_{0\max} - V_{0\min}} \left[\frac{\text{Hz}}{\text{V}} \right]$$

Onde: $f_{0\max}$ frequência máxima de saída do VCO
 $f_{0\min}$ frequência mínima de saída do VCO
 $V_{0\max}$ tensão máxima de entrada do VCO
 $V_{0\min}$ tensão mínima de entrada do VCO

Estas frequências são determinadas em função do ajuste do VCO, que é dado por R69, R70 e C20.

Para o levantamento destes valores, aplica-se em PLLIN um sinal quadrado de nível TTL com a frequência mínima desejada para o sistema, mede-se a tensão de saída do filtro (com um instrumento de alta impedância de entrada) e a frequência de saída do VCO. Repete-se as medidas aplicando-se a máxima frequência desejada.

Freq. REF. (Hz)	Tensão VCO (V)	Freq. VCO (kHz)
45	1,74	64,9
100	4,49	144,9

Tabela - Dados do VCO
 Valores apenas para referência

Da tabela acima obtêm-se:

$$K_0 = 29090,9 \frac{\text{Hz}}{\text{V}} \Rightarrow K_V = \frac{K_0}{S} = \frac{29.090,9}{S}$$

No projeto PLL deve-se assegurar que a máxima frequência do VCO, para a máxima tensão de entrada (+ 5V), seja maior que a frequência central desejada.

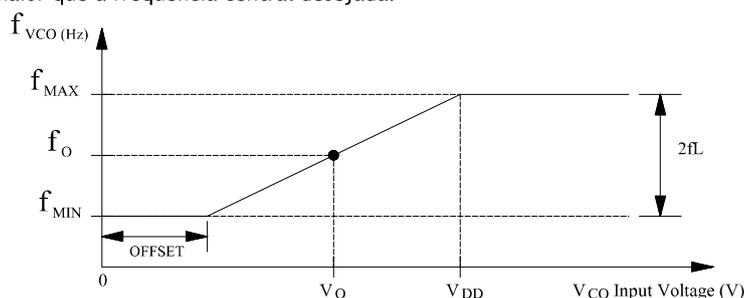


Figura : Resposta do VCO

Onde: $2 f_L$ é a faixa de *lock* do PLL.

f_0 = frequência central do PLL.

Deve-se procurar ajustar o VCO (R69, R70 e C20) de tal maneira que $V_0 = 1/2 V_{DD}$ e, idealmente, a máxima frequência deveria ser a frequência central (f_0) mais o *overshoot* de frequência desejado e a mínima frequência deveria ser f_0 menos este mesmo *overshoot*.

O ganho do laço de realimentação (K_n) indica a relação de divisão (N) a qual estará sujeita a frequência de saída do VCO.

Esta realimentação é implementada por *software*, o sinal resultante é PHCIN e $N = 1440$, de modo que :

$$K_N = \frac{1}{N} = 0,69 \times 10^{-3}$$

Rescrevendo a função de transferência, temos :

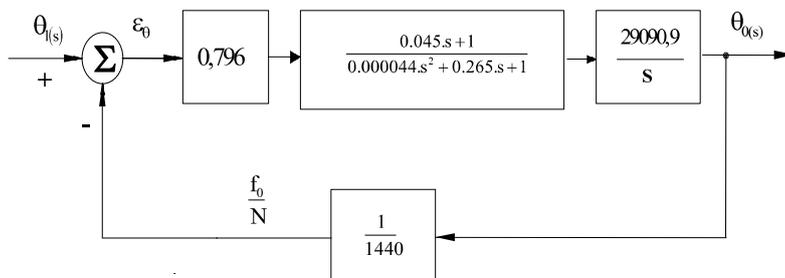


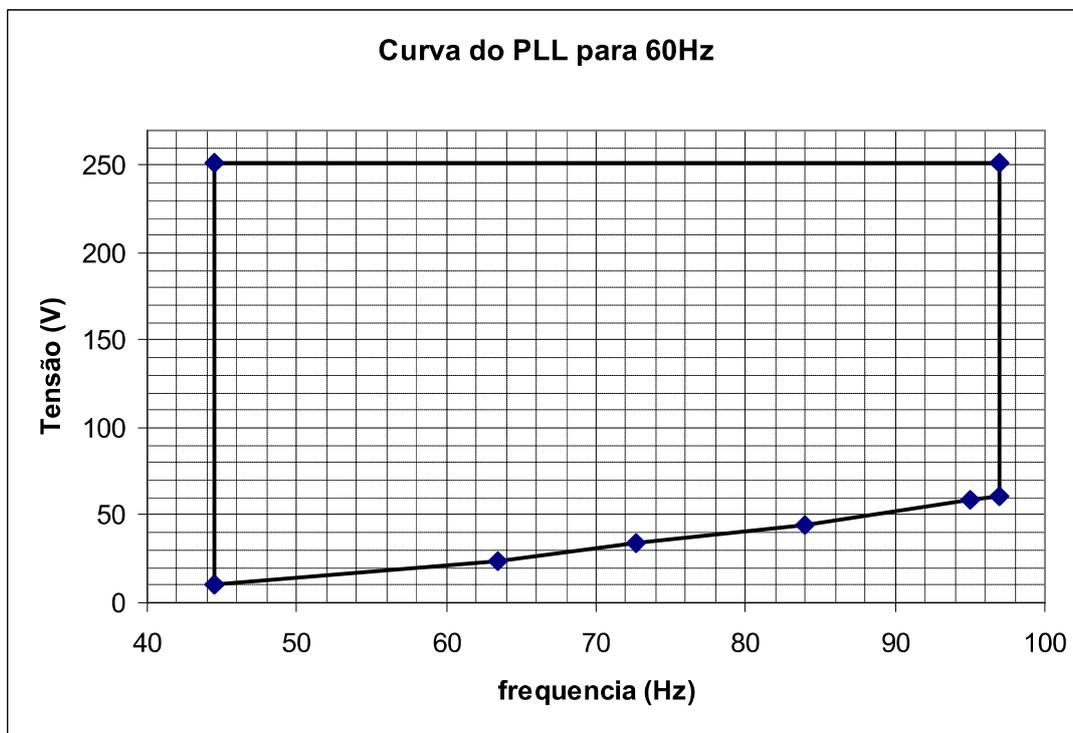
Figura - malha do PLL

Através deste diagrama de blocos pode-se calcular a estabilidade do PLL.

O sinal que entra neste circuito provém da malha de sincronismo. E o sinal de saída vai para a CPU.

7 Região de travamento garantido do PLL

Esta região foi obtida através de ensaios reais no cartão, considerando todos os elementos do circuito, desde a filtragem até o sinal de travamento do PLL.
 Como critério foi adotado um jitter de no máximo de 5 graus na frequência e tensão mínima.



8 Solução de problemas

Falha	Possível causa	Correção
O LED indicativo de uma das fontes não acende	Fusível	Verifique se o fusível desta fonte está queimado. Os fusíveis deverão ser do tipo rápido, de placa, e de 1A
O CLP indica saída de tensão 0-10V ou 4-20mA correto mas o ângulo de disparo permanece inalterado	Inversão da ligação de entrada	<ol style="list-style-type: none"> 1) Verifique com a ajuda da tabela de ligações se o positivo e o negativo estão conectados corretamente e se o sinal está chegando. 2) Verifique em PT15 é proporcional ao sinal injetado na faixa de 0-10V 3) Verifique o aterramento dos cartões do CLP e a lógica de disparo (AGND e DGND)
Reseta-se a lógica de disparo através do ligamento e desligamento do plugue de alimentação, mas a falha de watchdog não é limpada depois de 10s	CI CD4049 e/ou CI14538 queimado	<p>Verifique inicialmente o circuito CD4049, pois o PLL continua a funcionar, mesmo com ele danificado. Porém é necessário resetar para reinicializar o software do cartão.</p> <p>Substitua o CI CD14538</p> <p>Se o defeito persistir, substitua pelo sobressalente e envie o cartão para manutenção.</p>
Há capacitores danificados.	Envelhecimento natural do componente	Substitua os capacitores, tomando o cuidado de substituir por modelos de 35 V, independentemente do circuito. Devem ser obedecidas as capacitâncias para cada caso.v

Caso a tabela acima não auxilie na solução do problema, execute o roteiro de teste e analise o esquemático para encontrar a origem do problema.



ePROCOLO



Documento: **DATASHEETPLACAS.pdf**.

Assinado por: **Alexsander Lando** em 19/02/2021 11:51, **Luiz Hendrigo Chiaretto** em 19/02/2021 11:55.

Inserido ao protocolo **17.343.658-0** por: **Vinicius Gustavo Hernandes** em: 10/02/2021 16:49.



Documento assinado nos termos do art. 18 do Decreto Estadual 5389/2016.

A autenticidade deste documento pode ser validada no endereço:
<https://www.eprotocolo.pr.gov.br/spiweb/validarAssinatura> com o código:
b45407d2616c6e0aa4b45e310f2c4535.